

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-158446

(43)公開日 平成5年(1993)6月25日

(51)Int.Cl.<sup>5</sup>

識別記号

府内整理番号

F I

技術表示箇所

G 0 9 G 3/36

7926-5G

G 0 2 F 1/133

5 5 0

7820-2K

5 7 5

7820-2K

H 0 4 N 5/66

1 0 2 B

7205-5C

審査請求 未請求 請求項の数 6(全 11 頁)

(21)出願番号

特願平3-326249

(22)出願日

平成3年(1991)12月11日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 藤田 昌也

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 寒川 誠一

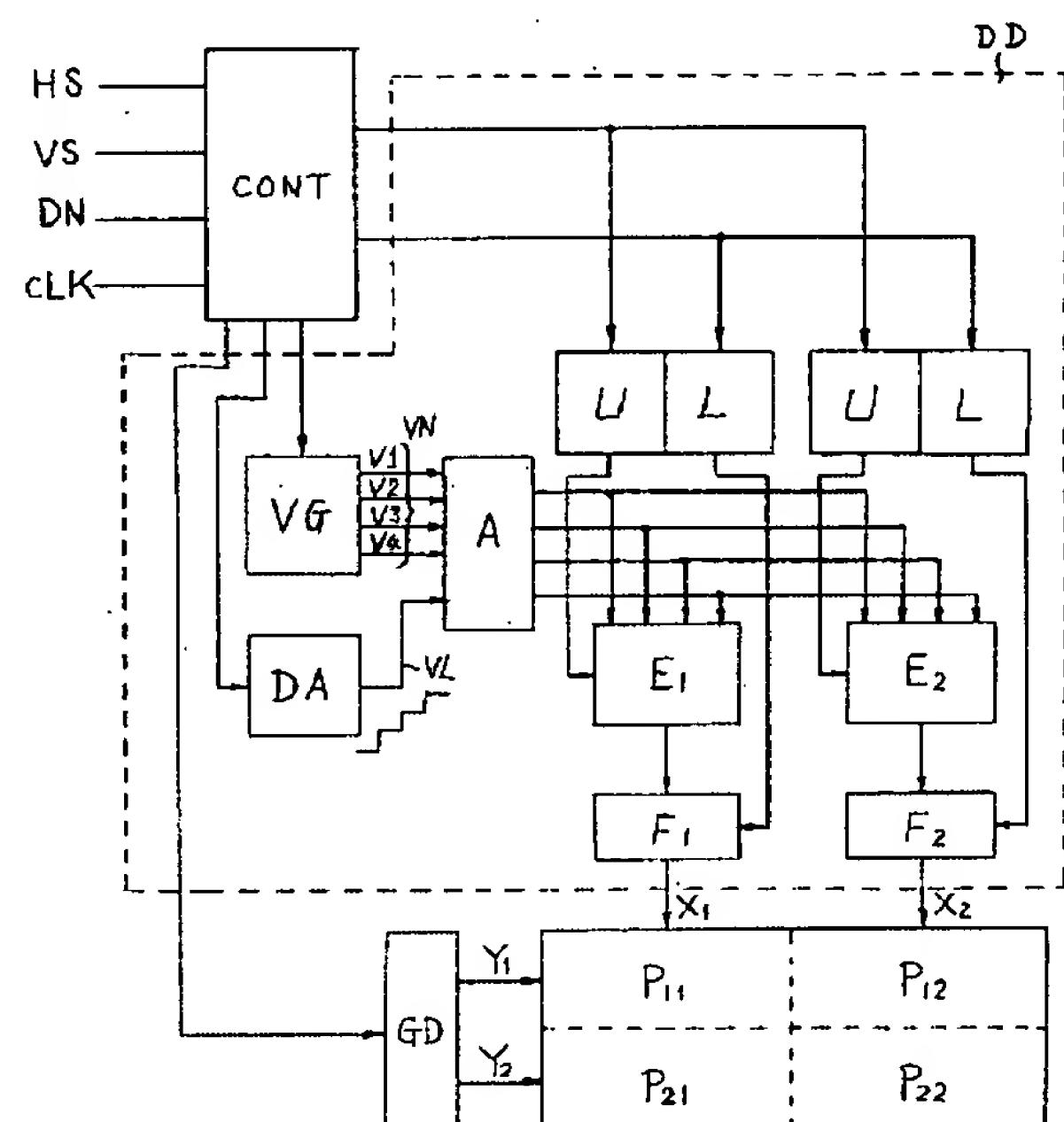
(54)【発明の名称】 多階調液晶表示装置

(57)【要約】

【目的】 階調数の増大にともなうデータドライバの大規模化を防止することができる駆動方式のTFT型多階調液晶表示装置を提供することを目的とする。

【構成】 液晶画素の複数と、水平同期信号・垂直同期信号・映像信号・クロック信号を入力される制御手段と、データ線に映像信号に対応するアナログ電圧を分配するデータドライバと、順次走査電圧を印加するゲートドライバーとを有する液晶表示装置において、映像信号の上位ビットに対応する電圧を発生する手段と、下位ビットに対応するステップアップ電圧またはステップダウン電圧を発生する手段と、上位ビットにもとづいて前記電圧のいづれかをデータ線に選択する選択手段と、前記の両電圧を加算する加算手段と、下位ビットにもとづいて決定されるステップアップ電圧またはステップダウン電圧をデータ線に印加する手段とを有する。

本発明に係る多階調液晶表示装置の原理図



## 【特許請求の範囲】

【請求項1】 マトリックス状に配列される液晶画素( $P_{xy}$ )の複数と、  
水平同期信号(HS)と垂直同期信号(VS)と複数階調の映像信号(DN)とクロック信号(CLK)とを入力される制御手段(CONT)と、  
前記水平同期信号(HS)と前記垂直同期信号(VS)と前記複数階調の映像信号(DN)とともにとづき、データ線( $X_n$ )のそれぞれに前記複数階調の映像信号(DN)に対応するアナログ電圧(VN)を分配するデータドライバー(DD)と、  
前記水平同期信号(HS)と垂直同期信号(VS)ともとづき、走査線( $Y_m$ )のそれぞれに、順次走査電圧( $VY_m$ )を印加するゲートドライバー(GD)とを有する多階調液晶表示装置において、  
前記データドライバー(DD)は、  
前記映像信号(DN)の上位ビットに対応する複数の電圧(VN)を発生する電圧発生手段(VG)と、  
前記映像信号(DN)の下位ビットに対応する時間的にステップアップするステップアップ電圧(VL)を発生するステップアップ電圧発生手段(DA)と、  
前記ステップアップ電圧(VL)をアナログ電圧(VN)のそれぞれにアナログ加算するアナログ電圧加算手段(A)と、  
前記上位ビットにもとづいて前記アナログ電圧(VN)のいづれかを前記データ線( $X_n$ )毎の値として選択するアナログ電圧選択手段( $E_n$ )と、  
該アナログ電圧選択手段( $E_n$ )と前記データ線( $X_n$ )との間に設けられ、前記映像信号(DN)の下位ビットにもとづいて決定されるステップアップ電圧(VL)を前記データ線( $X_n$ )のそれぞれに印加する電圧印加手段( $F_n$ )とを有することを特徴とする多階調液晶表示装置。

【請求項2】 マトリックス状に配列される液晶画素( $P_{xy}$ )の複数と、  
水平同期信号(HS)と垂直同期信号(VS)と複数階調の映像信号(DN)とクロック信号(CLK)とを入力される制御手段(CONT)と、  
前記水平同期信号(HS)と前記垂直同期信号(VS)とともにとづき、データ線( $X_n$ )のそれぞれに前記複数階調の映像信号(DN)に対応するアナログ電圧(VN)を分配するデータドライバー(DD)と、  
前記水平同期信号(HS)と垂直同期信号(VS)ともとづき、走査線( $Y_m$ )のそれぞれに、順次走査電圧( $VY_m$ )を印加するゲートドライバー(GD)とを有する多階調液晶表示装置において、  
前記データドライバー(DD)は、  
前記映像信号(DN)の上位ビットに対応する複数の電圧(VN)を発生する電圧発生手段(VG)と、

10

前記映像信号(DN)の下位ビットに対応する時間的にステップダウンするステップダウン電圧(VD)を発生するステップダウン電圧発生手段(DS)と、  
前記ステップダウン電圧(VD)をアナログ電圧(VN)のそれぞれにアナログ加算するアナログ電圧加算手段(A)と、  
前記上位ビットにもとづいて前記アナログ電圧(VN)のいづれかを前記データ線( $X_n$ )毎の値として選択するアナログ電圧選択手段( $E_n$ )と、  
該アナログ電圧選択手段( $E_n$ )と前記データ線( $X_n$ )との間に設けられ、前記映像信号(DN)の下位ビットにもとづいて決定されるステップダウン電圧(VD)を前記データ線( $X_n$ )のそれぞれに印加する電圧印加手段( $F_n$ )とを有することを特徴とする多階調液晶表示装置。

20

【請求項3】 前記アナログ電圧選択手段( $E_n$ )は、  
前記上位ビットにもとづいてオンオフ制御されるN個のスイッチング手段であり、前記電圧印加手段( $F_n$ )は、前記下位ビットにもとづいてオンオフ制御される1個のスイッチング手段であることを特徴とする請求項1または2記載の多階調液晶表示装置。

30

【請求項4】 前記下位ビットにもとづいて1個のスイッチング手段をオンオフする手段の制御は、共通のカウンタ(CT)と下位ビットに対応して動作し各データ線( $X_n$ )に対応して設けられるコンパレータ(CP<sub>n</sub>)との一致条件にもとづくことを特徴とする請求項3記載の多階調液晶表示装置。

40

【請求項5】 前記アナログ電圧選択手段( $E_n$ )は、  
前記上位ビットにもとづいてオンオフ制御されるN個のスイッチング手段であり、前記下位ビットにもとづいて減算する減算カウンタを設けて前記ステップアップ電圧(VL)またはステップダウン電圧(VD)に同期して歩進して零となったことを条件として、前記電圧印加手段( $F_n$ )をオフすることを特徴とする請求項1または2記載の多階調液晶表示装置。

50

【請求項6】 マトリックス状に配列される液晶画素( $P_{xy}$ )の複数と、  
水平同期信号(HS)と垂直同期信号(VS)と複数階調の映像信号(DN)とクロック信号(CLK)とを入力される制御手段(CONT)と、  
前記水平同期信号(HS)と前記垂直同期信号(VS)とともにとづき、データ線( $X_n$ )のそれぞれに前記複数階調の映像信号(DN)に対応するアナログ電圧(VN)を分配するデータドライバー(DD)と、  
前記水平同期信号(HS)と垂直同期信号(VS)ともとづき、走査線( $Y_m$ )のそれぞれに、順次走査電圧( $VY_m$ )を印加するゲートドライバー(GD)とを有する多階調液晶表示装置において、  
前記データドライバー(DD)は、

前記映像信号(DN)の上位ビットに対応する複数の電圧(VN)を発生する電圧発生手段(VG)と、  
前記映像信号(DN)の下位ビットに対応する時間的にステップアップするステップアップ電圧(VL)を発生するステップアップ電圧発生手段(DA)と、  
前記ステップアップ電圧(VL)をアナログ電圧(VN)のそれぞれにアナログ加算するアナログ電圧加算手段(A)と、  
前記データ線(Xn)のそれぞれに対応して設けられ、前記クロック信号(CLK)の数が前記データ線(Xn)のそれぞれに対応して決定されている下位ビット信号に一致する時点に動作するコンパレータ(CPn)の複数と、  
前記上位ビットにもとづいて決定される前記アナログ電圧(VN)のいづれかを前記データ線(Xn)のそれぞれ毎に選択し、前記コンパレータ(CPn)のそれぞれの動作に応答して、前記選択を解除するデコーダ手段(DCCn)と、  
該デコーダ手段(DCCn)に応答して前記データ線(Xn)のそれぞれを開閉するアナログ電圧選択手段(En)とを有することを特徴とする多階調液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は多階調液晶表示装置の改良に関する。特に、表示速度が速くまた表示品質が優れているために有望視されているTFT(Thin Film Transistor)型多階調液晶表示装置の改良に関する。さらに詳しくは、階調数の増大にともなうデータドライバーの大規模化を防止することができる駆動方式のTFT型多階調液晶表示装置を提供することを目的とする改良に関する。

## 【0002】

【従来の技術】従来技術に係るTFT型多階調液晶表示装置について、以下、図面を参照して説明する。図12は装置の構成図であり、図13はその要部詳細図である。図12は説明を簡明にするため画素数を2×2のものとし、表示を制御する方式はディジタル・ドライバー方式として示してある。

## 【0003】図12・図13参照

図12において、HSは水平同期信号であり、VSは垂直同期信号である。D1～DNは映像信号であり、Nは階調を表示するためのビット数を表す。CLKは上記の映像信号D1～DNと同期して与えられるクロック信号であり、上記の映像信号D1～DNを書き込むタイミングを与える。CONTは上記の各信号を入力される制御手段である。この制御手段CONTから、1ライン(横方向の画素の並び)毎にスタート信号T1が第1のシフトレジスタSR1に出力される。さらに上記の制御手段CONTからクロック信号CK1が第1のシフトレジスタ

に出力される。第1のシフトレジスタSR1は上記のスタート信号T1とクロック信号CK1にもとづいて、それぞれNビットの容量を持つメモリ回路M11・M12に順次表示用の映像信号DT1～DTNを書き込むためのタイミング信号T11・T12を出力する。M21・M22はそれぞれNビットの容量を持つメモリ回路であり、M11・M12に信号データが書き込まれた後、次の映像信号が到来する前にM11・M12に蓄積されたデータが信号T2により書き込まれるメモリ回路である。DC1・DC2はメモリ回路M21・M22のそれぞれに書き込まれた信号データをデコードして対応する制御信号を出力するデコーダ回路である。E1・E2はこのデコーダ回路DC1・DC2が出力する制御信号にもとづいて、内部にある複数個のアナログスイッチのうちの1個を選択してオンし、このアナログスイッチを介して上記の映像信号に対応するアナログ電圧をデータ線X1・X2に出力するアナログ電圧選択手段である(図13参照)。VRは階調数と同数の種類の電圧を発生する基準電圧源である。この基準電圧源VRが発生する電圧の種類の数Mと上記のビット数Nとの関係は映像信号のデータが2進数の場合にはM=2<sup>N</sup>である。上記のM種類の電圧のそれぞれに対して上記のアナログ電圧選択手段E1・E2内のアナログスイッチが個別に設けられている。上記の第1のシフトレジスタSR1、メモリ回路M11・M12、メモリ回路M21・M22、デコーダ回路DC1・DC2、アナログ電圧選択手段E1・E2、基準電圧源VRを総括してデータドライバーDDと云う。

【0004】データドライバーDDから出力されるアナログ電圧は、各画素内のTFTよりなるトランジスタスイッチQ11・Q12・Q21・Q22を介して液晶容量C11・C12・C21・C22に書き込まれる(図13参照)。この書き込みは、スタート信号T3により動作を開始する第2のシフトレジスタSR2が液晶パネルの1ライン毎に順次出力する信号を変換回路DV1・DV2によって上記トランジスタスイッチQ11～Q22をオン・オフできる電圧レベルに変換し、この変換された電圧を上記トランジスタスイッチQ11～Q22のゲートに印加して実行される。上記の第2のシフトレジスタSR2と変換回路DV1・DV2とを総括してゲートドライバーGDと云う。

【0005】なお、図において、P11～P22は画像表示の最小単位である各画素であり、LCは各画素をもって構成される液晶パネルである。また、図13におけるC1・C2は各画素毎のデータ線の分布容量であり、r1・r2は各画素毎のデータ線の抵抗である。

## 【0006】

【発明が解決しようとする課題】ところで、上記した液晶表示装置は説明を簡略にするために画素数を2×2としているが、実際の液晶装置においては、横方向に640ライン、縦方向に480ラインの合計640×480=307200画素を駆動するのが実状であり、このた

めのデータドライバーは極めて大規模のものを必要とする。しかも、各画素はカラー表示するためにR(Red)、G(Green)、B(Blue)の別々の画素を必要とするため、画素数の合計はこの3倍となる。さらにカラー表現をよりフルカラーに近づけるために階調表現をする。フルカラーと呼ばれる26万色を表現するためのR、G、B各色の必要とする階調数は64となりアナログスイッチの数は64個必要となり $64 \times 480 = 122880$ 個のアナログスイッチを必要とすることになり、幾つかのパッケージに分けたとしても、駆動回路のLSI化はチップ面積が大きくなり、困難を伴う。

【0007】上記したとおり、従来技術に係る多階調液晶表示装置は、カラー表現をよりフルカラーに近づけるために階調数を増大すると、この階調数に比例してアナログスイッチの数が増大し、データドライバーが大規模化してLSI化が困難になると云う欠点を有している。

【0008】本発明の目的は、上記の欠点を解消することにあり、階調数の増大にともなうデータドライバーの大規模化を防止することができる駆動方式のTFT型多階調液晶表示装置を提供することにある。

#### 【0009】

【課題を解決するための手段】上記の目的は下記のいずれの手段をもっても達成される。第1の手段は、図1に原理図を示すように、マトリックス状に配列される液晶画素( $P_{xy}$ )の複数と、水平同期信号(HS)と垂直同期信号(VS)と複数階調の映像信号(DN)とクロック信号(CLK)とを入力される制御手段(CONT)と、前記の水平同期信号(HS)と前記の垂直同期信号(VS)と前記の複数階調の映像信号(DN)とともにとづき、データ線( $X_n$ )のそれぞれに前記の複数階調の映像信号(DN)に対応するアナログ電圧(VN)を分配するデータドライバー(DD)と、前記の水平同期信号(HS)と垂直同期信号(VS)とともにとづき、走査線( $Y_m$ )のそれぞれに、順次走査電圧(VY<sub>m</sub>)を印加するゲートドライバー(GD)とを有する多階調液晶表示装置において、前記のデータドライバー(DD)は、前記の映像信号(DN)の上位ビットに対応する複数の電圧(VN)を発生する電圧発生手段(VG)と、前記の映像信号(DN)の下位ビットに対応する時間的にステップダウンするステップダウン電圧(VD)を発生するステップダウン電圧発生手段(DS)と、前記のステップダウン電圧(VD)をアナログ電圧(VN)のそれぞれにアナログ加算するアナログ電圧加算手段(A)と、前記の上位ビットにもとづいて前記のアナログ電圧(VN)のいづれかを前記のデータ線( $X_n$ )毎の値として選択するアナログ電圧選択手段( $E_n$ )と、このアナログ電圧選択手段( $E_n$ )と前記のデータ線( $X_n$ )との間に設けられ、前記の映像信号(DN)の下位ビットにもとづいて決定されるステップダウン電圧(VD)を前記のデータ線( $X_n$ )のそれぞれに印加する電圧印加手段( $F_n$ )とを有する多階調液晶表示装置である。

10

20

30

40

50

(VL)を前記のデータ線( $X_n$ )のそれぞれに印加する電圧印加手段( $F_n$ )とを有する多階調液晶表示装置である。

【0010】第2の手段は、マトリックス状に配列される液晶画素( $P_{xy}$ )の複数と、水平同期信号(HS)と垂直同期信号(VS)と複数階調の映像信号(DN)とクロック信号(CLK)とを入力される制御手段(CONT)と、前記の水平同期信号(HS)と前記の垂直同期信号(VS)と前記の複数階調の映像信号(DN)とともにとづき、データ線( $X_n$ )のそれぞれに前記の複数階調の映像信号(DN)に対応するアナログ電圧(VN)を分配するデータドライバー(DD)と、前記の水平同期信号(HS)と垂直同期信号(VS)とともにとづき、走査線( $Y_m$ )のそれぞれに、順次走査電圧(VY<sub>m</sub>)を印加するゲートドライバー(GD)とを有する多階調液晶表示装置において、前記のデータドライバー(DD)は、前記の映像信号(DN)の上位ビットに対応する複数の電圧(VN)を発生する電圧発生手段(VG)と、前記の映像信号(DN)の下位ビットに対応する時間的にステップダウンするステップダウン電圧(VD)を発生するステップダウン電圧発生手段(DS)と、前記のステップダウン電圧(VD)をアナログ電圧(VN)のそれぞれにアナログ加算するアナログ電圧加算手段(A)と、前記の上位ビットにもとづいて前記のアナログ電圧(VN)のいづれかを前記のデータ線( $X_n$ )毎の値として選択するアナログ電圧選択手段( $E_n$ )と、このアナログ電圧選択手段( $E_n$ )と前記のデータ線( $X_n$ )との間に設けられ、前記の映像信号(DN)の下位ビットにもとづいて決定されるステップダウン電圧(VD)を前記のデータ線( $X_n$ )のそれぞれに印加する電圧印加手段( $F_n$ )とを有する多階調液晶表示装置である。

【0011】上記の第1の手段及び第2の手段の構成において、前記のアナログ電圧選択手段( $E_n$ )は、前記の上位ビットにもとづいてオンオフ制御されるN個のスイッチング手段であり、前記の電圧印加手段( $F_n$ )は、前記の下位ビットにもとづいてオンオフ制御される1個のスイッチング手段であると、装置小形化の効果は顕著である。この場合、前記の下位ビットにもとづいて1個のスイッチング手段をオンオフする手段の制御は、共通のカウンタ(CT)と下位ビットに対応して動作し各データ線( $X_n$ )に対応して設けられるコンパレータ( $CP_n$ )との一致条件にもとづくと、効果は特に顕著である。

【0012】また、上記の第1の手段及び第2の手段の構成において、前記のアナログ電圧選択手段( $E_n$ )は、前記の上位ビットにもとづいてオンオフ制御されるN個のスイッチング手段であり、前記の下位ビットにもとづいて減算する減算カウンタを設けて前記のステップアップ電圧(VL)またはステップダウン電圧(VD)

のステップアップまたはステップダウンに同期して歩進して零となったことを条件として、前記の電圧印加手段 ( $F_n$ ) をオフすることゝされると、装置小形化の効果は顕著である。

**【0013】** 第3の手段は、(イ) マトリックス状に配列される液晶画素 ( $P_{xy}$ ) の複数と、水平同期信号 (HS) と垂直同期信号 (VS) と複数階調の映像信号 (DN) とクロック信号 (CLK) とを入力される制御手段 (CONT) と、前記の水平同期信号 (HS) と前記の垂直同期信号 (VS) と前記の複数階調の映像信号 (DN) とともにとづき、データ線 ( $X_n$ ) のそれぞれに前記の複数階調の映像信号 (DN) に対応するアナログ電圧 (VN) を分配するデータドライバー (DD) と、前記の水平同期信号 (HS) と垂直同期信号 (VS) とともにとづき、走査線 ( $Y_m$ ) のそれぞれに、順次走査電圧 ( $VY_m$ ) を印加するゲートドライバー (GD) とを有する多階調液晶表示装置において、(ロ) 前記のデータドライバー (DD) は、(ハ) 前記の映像信号 (DN) の上位ビットに対応する複数の電圧 (VN) を発生する電圧発生手段 (VG) と、(ニ) 前記の映像信号 (DN) の下位ビットに対応する時間的にステップアップするステップアップ電圧 (VL) を発生するステップアップ電圧発生手段 (DA) と、(ホ) 前記のステップアップ電圧 (VL) をアナログ電圧 (VN) のそれぞれにアナログ加算するアナログ電圧加算手段 (A) と、(ヘ) 前記のデータ線 ( $X_n$ ) のそれぞれに対応して設けられ、前記のクロック信号 (CLK) の数が前記のデータ線 ( $X_n$ ) のそれぞれに対応して決定されている下位ビット信号に一致する時点に動作するコンパレータ ( $CP_n$ ) の複数と、(ト) 前記の上位ビットにもとづいて決定される前記のアナログ電圧 (VN) のいづれかを前記のデータ線 ( $X_n$ ) のそれぞれ毎に選択し、前記のコンパレータ ( $CP_n$ ) のそれぞれの動作に応答して、前記の選択を解除するデコーダ手段 (DCC<sub>n</sub>) と、(チ) このデコーダ手段 (DCC<sub>n</sub>) に応答して前記のデータ線 ( $X_n$ ) のそれぞれを開閉するアナログ電圧選択手段 ( $E_n$ ) とを有する多階調液晶表示装置である。

#### 【0014】

**【作用】** 本発明に係る多階調液晶表示装置においては、映像信号であるディジタル信号を上位ビット群 (図1のU) と下位ビット群 (図1のL) とに分け、上位ビット群に対しては個々の上位ビットにもとづいて粗く設定されたアナログ電圧 VN を対応させ、下位ビット群に対しては各上位ビットに共通の細かく設定された電圧ステップをもって時間的に階段状に変化するステップアップ電圧 VL またはステップダウン電圧 VD を対応させ、上記の粗く設定されたアナログ電圧 VN とステップアップ電圧 VL またはステップダウン電圧 VD とを加算し、映像信号に対応したアナログ電圧を得る。そして、上記の粗く設定されたアナログ電圧 VN のそれぞれに対して選択

手段 (例えばアナログスイッチ) を設け、この複数の選択手段のうちの1個を選択して、上記の映像信号に対応したアナログ電圧をデータ線  $X_n$  に供給する。したがって、アナログ電圧を選択的にデータ線  $X_n$  に供給する選択手段 (例えばアナログスイッチ) の数は、上記の粗く設定されたアナログ電圧 VN の種類の数と同一でよく、従来技術に比し著しく少なく、データドライバー DD の小形化が達成される。

**【0015】** 以下、図1・図2を参照して詳細に説明する。

#### 図1・図2参照

例えば図1に示した例では2進4ビットを各2ビットに分けて、上位2ビットに対しては従来と同じ方法によるディジタル／アナログ変換を行い下位2ビットに対しては共通のディジタル／アナログ変換器を有するステップアップ電圧発生手段 DA を用意して、4種の電圧を発生させ、これにランプ (階段状) 波形の電圧を重畠する。この電圧値の例を示すと、2進4ビットで2～5Vの電圧を発生させることを意味し、1 LSBの電圧値は  $(5 - 2) / (2^4 - 1) = 200\text{mV}$  となる。したがって、上位2ビットに対する電圧はディジタル・コード 0000, 0100, 1000, 1100 に対するものとして各々 2.0V, 2.8V, 3.6V, 4.4V となる。これを図1で各々 V1, V2, V3, V4 として示す。一方、ランプ電圧は下位2ビットに対して、ディジタル／アナログ変換器を有するステップアップ電圧発生手段 DA により、時間に対して  $0.0V \rightarrow 0.2V \rightarrow 0.4V \rightarrow 0.6V$  と変化する電圧として発生させる。これは図1に示すステップアップ電圧 VL である。そして、アナログ電圧加算手段 A によりステップアップ電圧 VL と上記の電圧 V1～V4 のそれぞれとを加算して、V11～V14を得る。V11～V14におけるステップアップ電圧 VL の加算を開始するタイミングは制御手段 CONT から与えられるクロック CK3 により決定される。なお、これらの電圧は映像信号に比例した値でなく、非線型な値であってもよく、いわゆる γ 補正をこの非線型な電圧供給によって実現することもできる。

**【0016】** つぎに各画素に映像信号に対応する電圧値が書き込まれることを説明する。例えば、映像信号であるディジタル信号が 0110 であったとすると、上記のアナログ電圧 2.0V, 2.8V, 3.6V, 4.4V のうち上記のディジタル信号の上位2ビット 01 に対応する 2.8V がアナログ電圧選択手段 (例えばアナログスイッチ)  $E_n$  によって選択される。上記のアナログ電圧 2.8V にステップアップ電圧 VL が加算されて電圧値が 3.0V → 3.2V となって、次の 3.4V になる直前に、上記のディジタル信号の下位2ビット 10 にもとづいて電圧印加手段  $F_n$  が働いてデータ線  $X_n$  に電圧を供給することを停止する。この電圧供給停止の直前の電圧 3.2V によって各画素内のデータ線の分布容量が

充電される。つぎに、ゲートドライバーGDから走査線 $Y_m$ に1ライン毎にゲート信号が供給され、このゲート信号によって各画素内のTFTがオンし、上記の分布容量に充電されていた電荷がTFTを通して流出して液晶容量を充電する。その結果、映像信号に対応した電圧が該当する画素に正しく書き込まれる。なお、分布容量の総合値は対角10.4インチの液晶表示装置の場合、100pF程度であり、液晶容量値が1pF程度であるから、分布容量上の電荷がこの1pFへ移動しても誤差は小さい。

## 【0017】

【実施例】以下、図面を参照して、本発明の4実施例に係る多階調液晶表示装置について説明する。

【0018】図3は第1実施例（請求項1、3、及び、4に対応）の構成図である。以下の説明は図1の原理図の説明を補完する形で行い、また従来例と同等部分の説明は省略する。

## 【0019】図3参照

図3におけるデータメモリ $M_{11} \cdot M_{12}$ 及び $M_{21} \cdot M_{22}$ は上位ビット群と下位ビット群とに分けられ、それをU、Lと表示してある。上位ビット群は（N-P）ビット、下位ビット群はPビットからなり、合計でNビットのデータからなる。上位ビット群のデータはデコーダ $D C_1 \cdot D C_2$ に入力されて、同時に1ビットのみがオンとなる信号に変換される。そして、アナログ電圧選択手段 $E_1 \cdot E_2$ の各々のなかのアナログスイッチの1個のみをオンとすることにより電圧発生手段VG内の電圧V1～V4の中の一つの電圧が選ばれる。このとき、出力部のアナログスイッチ $S_1 \cdot S_2$ はオンしており、上記の選択された電圧はデータ線 $X_1 \cdot X_2$ へ送出される。このとき、電圧V11～V14が電圧V1～V4と同じ値となるのは、カウンタCTはリセット状態にありステップアップ電圧発生手段DAの出力が零であるからである。また、アナログスイッチ $S_1 \cdot S_2$ がオンとなっているのは、その制御を行う1ビットのメモリ $B_1 \cdot B_2$ が信号T4によりセット状態にあるからである。次に、一定時間の後、クロックCK3が制御手段CONTより与えられると、カウンタCTはカウントアップを始め、ステップアップ電圧発生手段DAの出力は階段状に増加する。そして、ステップアップ電圧VLが電圧V1～V4に加算されて電圧V11～V14として出力される。一方、カウンタCTの内容はデータメモリ $M_{21} \cdot M_{22}$ の下位ビット群Lと大きさをコンパレータ $C P_1 \cdot C P_2$ により比較される。そして、一致したところでメモリ $B_1 \cdot B_2$ をリセットするパルスを発生する。そして、その時点で、アナログスイッチ $S_1 \cdot S_2$ はオフとなる。アナログスイッチ $S_1 \cdot S_2$ がオフとなるまでは、電圧V1～V4にステップアップ電圧VLが加算された電圧がデータ線を充電しながらTFTを通し液晶容量に書き込まれる。上記のカウンタCTは、信号T2（データメ

モリ $M_{11} \cdot M_{12}$ からデータメモリ $M_{21} \cdot M_{22}$ にディジタルデータを書き込む信号）によってリセットされる。上記のようにして $M_{21} \cdot M_{22}$ に保持されたディジタルデータに対応したアナログ電圧が上位ビット群と下位ビット群に対応したアナログ電圧の加算により液晶容量に書き込まれる。

【0020】データ線に印加するアナログ電圧の形成方法としては、図3に示した以外に幾つかの方法があり、その実施例を図4と図6に示す。

## 図4参照

図4に示す電圧形成方法は、メモリ $M_{21} \cdot M_{22}$ 内の上位ビット群と下位ビット群に対応したアナログ電圧を合成する方法として加算でなく減算する方法をとったものであり、請求項2に対応するものである。図において、DSは、映像信号の下位ビットに対応する、時間的にステップダウンするステップダウン電圧VDを発生するステップダウン電圧発生手段である。他の符号の説明は図3と同一である。

## 【0021】図5参照

図5は図4における各電圧の経時変化を示す。図4に示す方式が図3に示す方式に勝ることは、最初に最終値よりも高い電圧をデータライン $X_n$ に加えておくことによりTFTを通した液晶容量への充電時間を幾分短縮することができる。たゞし、この方法をとるためには予めデータ電圧を然るべき値に加工しておく必要がある。

## 【0022】図6参照

図6は、図3及び図4に示す方式が固定電圧と可変電圧とを加算手段を用いて合成しているのに対して、カウンタCTにより駆動されるディジタル／アナログ変換器DACを上位ビット群に対する数だけ用意して、図3や図4で用意した固定電圧に相当する電圧をこのカウンタに対するプリセット値N1～N4を与えることにより実現している。

## 【0023】図7参照

図7は第2実施例（請求項1及び6に対応）の構成図である。本実施例が第1実施例と相違する主な点は、データドライバーDDの出力部に必要としたアナログスイッチ $S_1 \cdot S_2$ を無くしたことである。このために、カウンタCTとデータメモリ $M_{21} \cdot M_{22}$ の下位ビット群との値が一致する時点を検出してその状態を保持するメモリ $B_1 \cdot B_2$ の出力 $L_1 \cdot L_2$ によりデコーダ $D C C_1 \cdot D C C_2$ の出力を全てオフとしアナログ電圧選択手段 $E_1 \cdot E_2$ 内のアナログスイッチを全てオフとするようにしたことである。その結果、データドライバーDDは継続した2個のアナログスイッチを介して出力するのではなく、1個のアナログスイッチを介して出力するため、出力抵抗が低下しデータ線 $X_1 \cdot X_2$ の充電を高速化することができる。この場合の $D C C_1 \cdot D C C_2$ の回路例を図8に示す。

## 【0024】図8参照

図8において、端子a・bは上位2ビットのそれぞれが入力される端子であり、端子cは上記のメモリB<sub>1</sub>・B<sub>2</sub>の出力L<sub>1</sub>・L<sub>2</sub>が入力される端子である。また、出力端子e<sub>1</sub>～e<sub>4</sub>は上記のアナログ電圧選択手段E<sub>1</sub>・E<sub>2</sub>内のアナログスイッチのオンオフを制御する信号を出力する端子である。

## 【0025】図9・図10参照

図9は第3実施例（請求項1及び6に対応）の構成図である。本実施例が第2実施例と相違する点は、本実施例ではメモリB<sub>1</sub>・B<sub>2</sub>の出力L<sub>1</sub>・L<sub>2</sub>により、データメモリM<sub>21</sub>・M<sub>22</sub>の上位ビット群のメモリをクリアして零とする。そして、デコーダDCC<sub>1</sub>・DCC<sub>2</sub>のデコード出力の内、コード零に対する出力を零とすることにより、アナログ電圧選択手段E<sub>1</sub>・E<sub>2</sub>のアナログスイッチを全てオフとすることができます。この場合のDCD<sub>n</sub>の構成例を図10に示す。符号の説明は図8の場合と同一である。

## 【0026】図11参照

図11は第4実施例の構成図である。本実施例が第3実施例と相違する点は、本実施例においては第3実施例におけるデータメモリM<sub>21</sub>・M<sub>22</sub>の下位ビット群に相当するメモリの代わりに、減算カウンタとしたことである。これは、図11でH<sub>1</sub>・H<sub>2</sub>として示されている。減算カウンタH<sub>1</sub>・H<sub>2</sub>はデータメモリM<sub>11</sub>・M<sub>12</sub>の下位ビット群の値を信号T<sub>2</sub>によりプリセットし、クロックCK<sub>3</sub>により減算して、零となったときにメモリB<sub>1</sub>・B<sub>2</sub>をリセットする。これがリセットされたら、アナログ電圧選択手段E<sub>1</sub>・E<sub>2</sub>のアナログスイッチが全てオフとなるのは図9の場合と同じである。

## 【0027】

【発明の効果】以上説明したとおり、本発明に係る多階調液晶表示装置においては、映像信号であるディジタル信号を上位ビット群と下位ビット群とに分け、上位ビットにもとづいて粗く設定された複数のアナログ電圧を発生する複数の電圧発生手段と下位ビットに対応して細かく設定された電圧ステップのステップアップ電圧またはステップダウン電圧を発生する共通のステップアップ電圧発生手段またはステップダウン電圧発生手段とが設けられ、上記の電圧発生手段の出力電圧とステップアップ電圧発生手段またはステップダウン電圧発生手段の出力電圧とを加算してデータ線にアナログ電圧を供給すること、され、上位ビットにもとづいて上記の複数の電圧発生手段の出力電圧のうちの1個が選択され、そして、上記のステップアップ電圧またはステップダウン電圧の値が下位ビットに対応した値に達した時点でデータ線へのアナログ電圧供給が停止されること、されているので、上記のアナログ電圧を選択的にデータ線に供給する選択手段の数は上記の粗く設定されたアナログ電圧の種類の数と同一でよく、ディジタル信号の全ビットに対応する

数の選択手段を必要とした従来技術に比し、上記の選択手段数は著しく少なく、その結果、データドライバーを小形にすることが可能である。

【0028】したがって、本発明は、階調数の増大にともなうデータドライバーの大規模化を防止することができる駆動方式のTFT型多階調液晶表示装置を提供することができる。

## 【図面の簡単な説明】

【図1】本発明に係る多階調液晶表示装置の原理図である。

【図2】図1の説明用の電圧波形図である。

【図3】本発明の第1実施例に係る多階調液晶表示装置の構成図である。

【図4】アナログ電圧形成方法の他の実施例の説明図である。

【図5】図4の説明用の電圧波形図である。

【図6】アナログ電圧形成方法のさらに他の実施例の説明図である。

【図7】本発明の第2実施例に係る多階調液晶表示装置の構成図である。

【図8】図7に示すDCC<sub>n</sub>の構成例図である。

【図9】本発明の第3実施例に係る多階調液晶表示装置の構成図である。

【図10】図9に示すDCD<sub>n</sub>の構成例図である。

【図11】本発明の第4実施例に係る多階調液晶表示装置の構成図である。

【図12】従来技術に係る多階調液晶表示装置の構成図である。

【図13】図12の要部詳細図である。

## 【符号の説明】

H S 水平同期信号

V S 垂直同期信号

D N 映像信号

C L K クロック信号

C O N T 制御手段

T 1 · T 2 · T 3 スタート信号

S R 1 第1のシフトレジスタ

S R 2 第2のシフトレジスタ

C K 1 · C K 2 · C K 3 クロック信号

40 M<sub>nm</sub> メモリ

T<sub>1n</sub> タイミング信号

D C<sub>n</sub> デコーダ回路

E<sub>n</sub> アナログ電圧選択手段

X<sub>n</sub> データ線

V R 基準電圧源

D D データドライバー

Q<sub>nm</sub> トランジスタスイッチ

C<sub>nm</sub> 液晶容量

D V<sub>m</sub> 電圧レベル変換回路

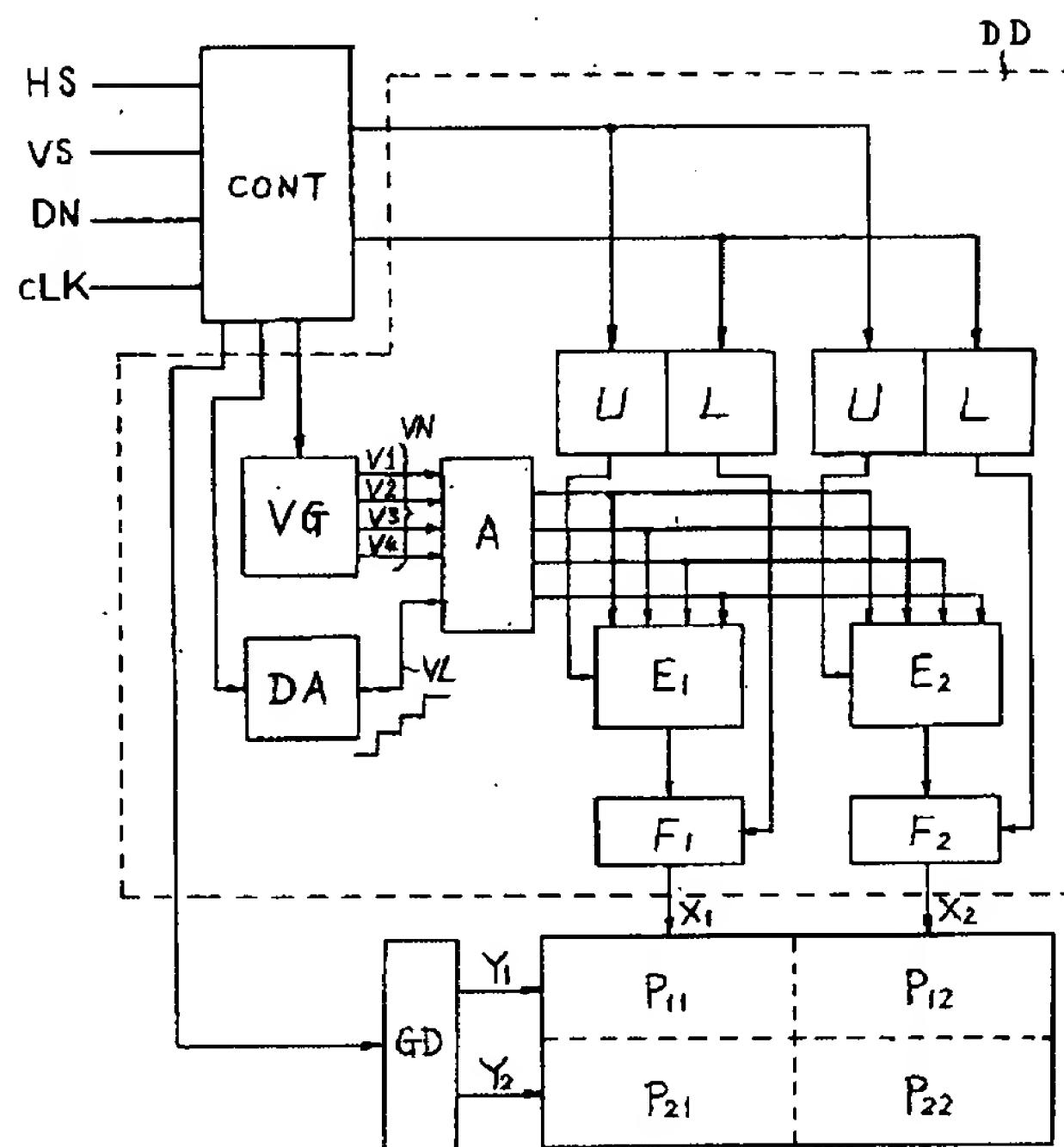
50 G D ゲートドライバー

P <sub>xy</sub>	液晶画素
L C	液晶パネル
C <sub>m</sub>	分布容量
V N	アナログ電圧
Y <sub>m</sub>	走査線
V Y <sub>m</sub>	走査電圧
V G	電圧発生手段
V L	ステップアップ電圧
D A	ステップアップ電圧発生手段
A	アナログ電圧加算手段
F <sub>n</sub>	電圧印加手段

V D	ステップダウン電圧
D S	ステップダウン電圧発生手段
C T	カウンタ
C P <sub>n</sub>	コンパレータ
S <sub>n</sub>	アナログスイッチ
U	上位ビット
L	下位ビット
B <sub>n</sub>	メモリ
D A C	ディジタル／アナログ変換器
D C C <sub>n</sub> · D C D <sub>n</sub>	デコーダ回路
H <sub>n</sub>	減算カウンタ

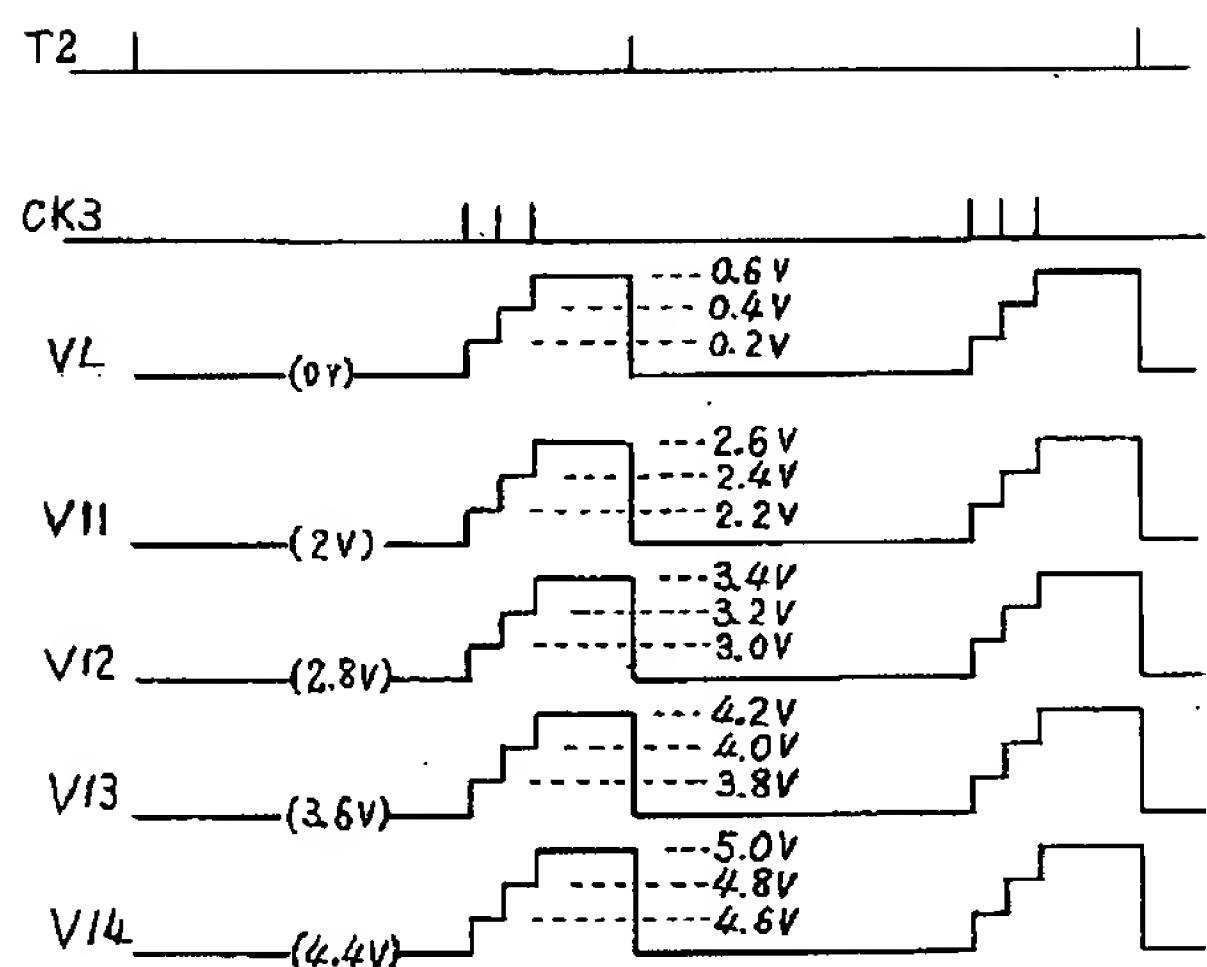
【図1】

本発明に係る多階調液晶表示装置の原理図



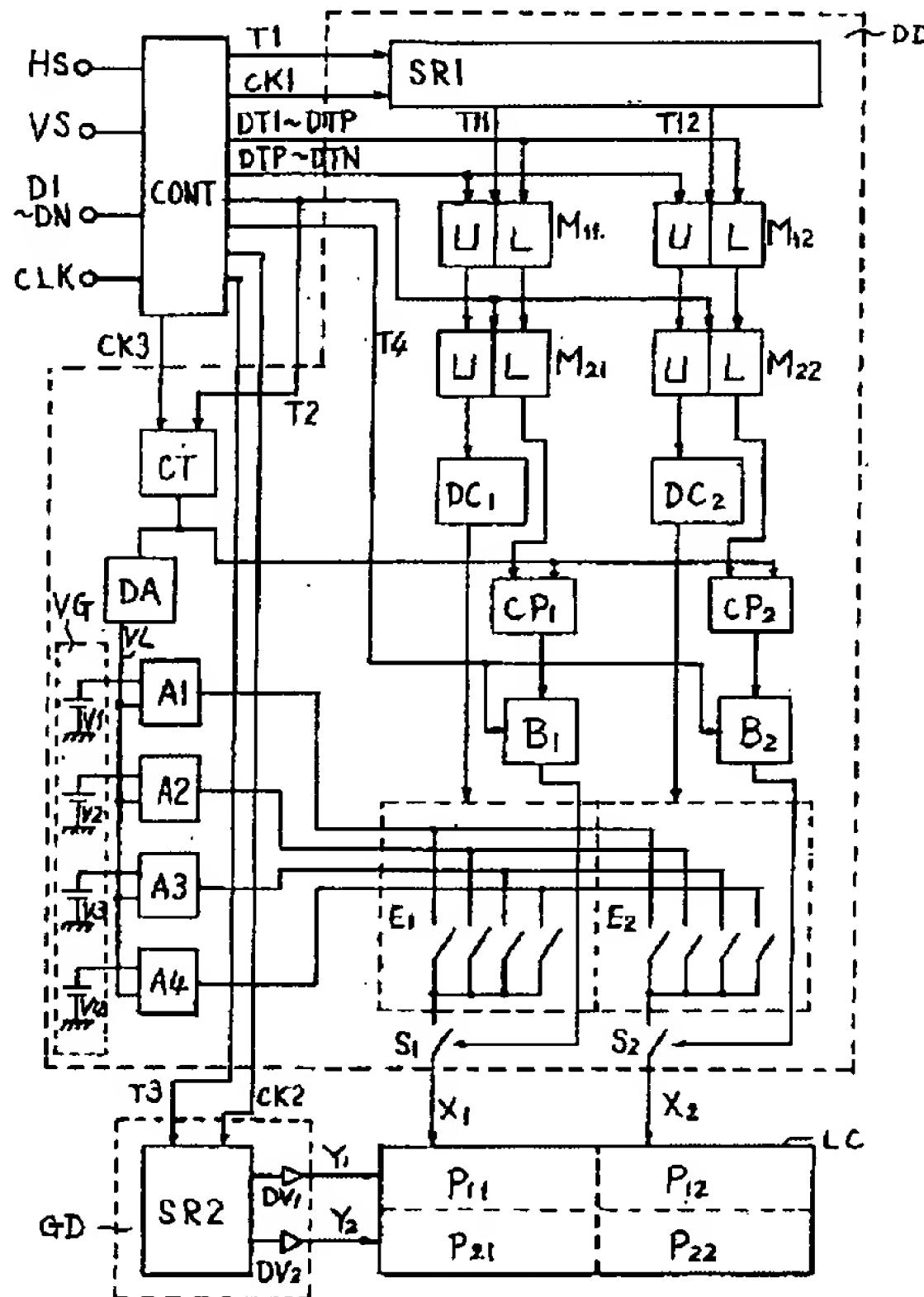
【図2】

図1の説明用の電圧波形図



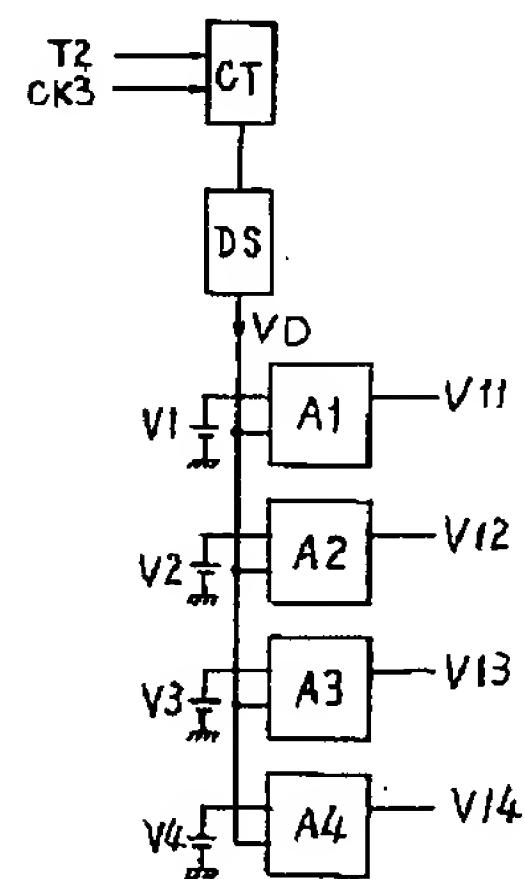
【図3】

本発明の第1実施例に係る多階調液晶表示装置の構成図



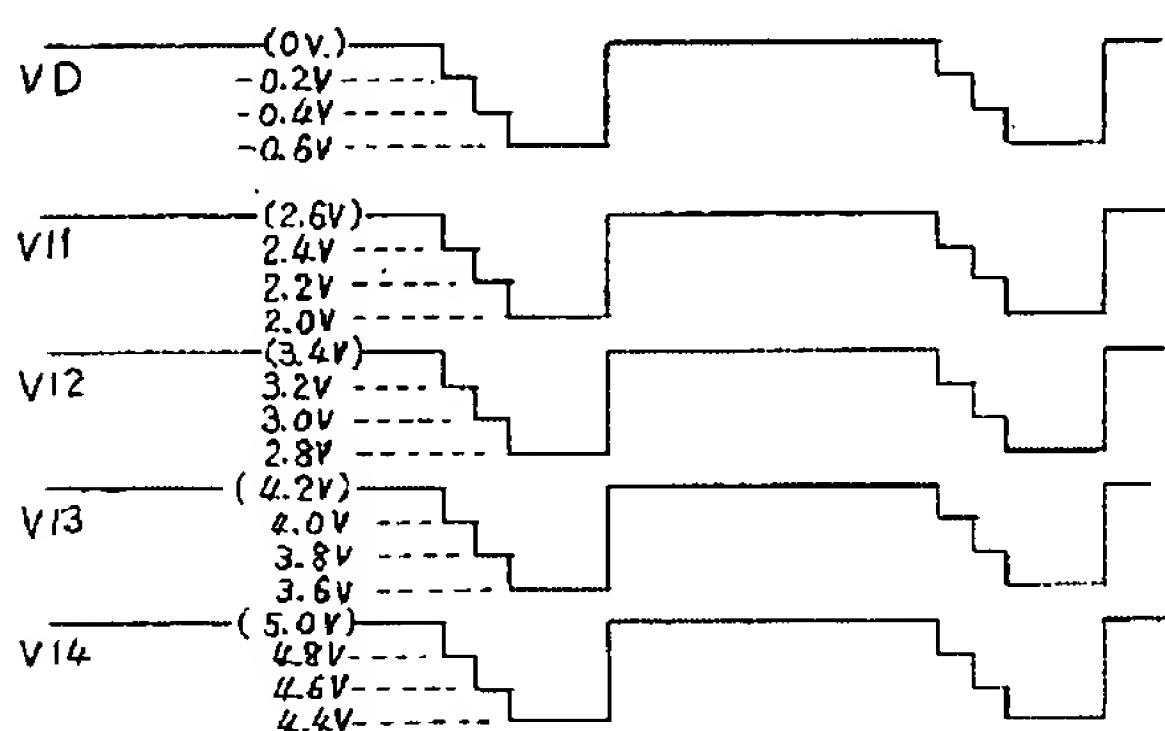
【図4】

アナログ電圧形成方法の他の実施例の説明図



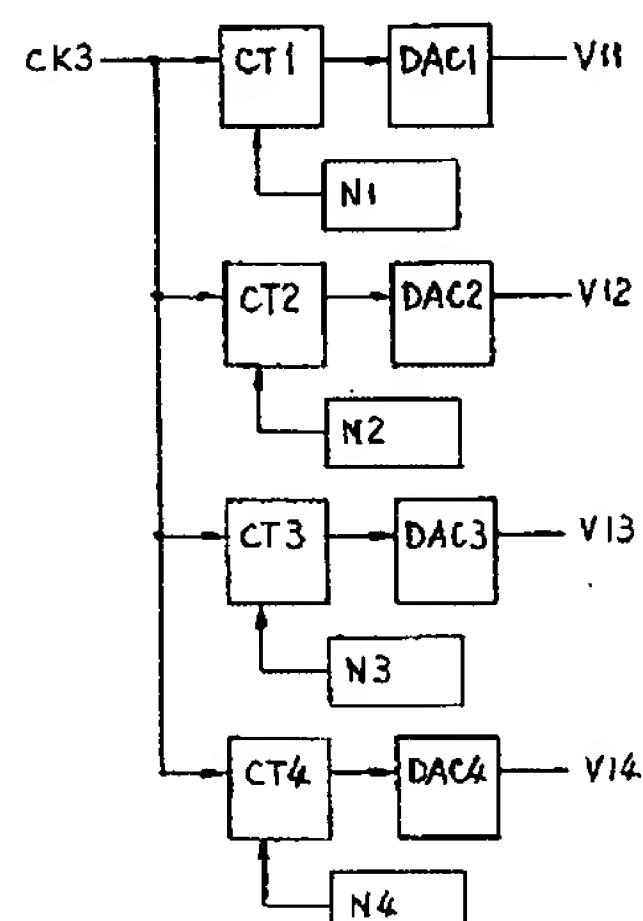
【図5】

図4の説明用の電圧波形図



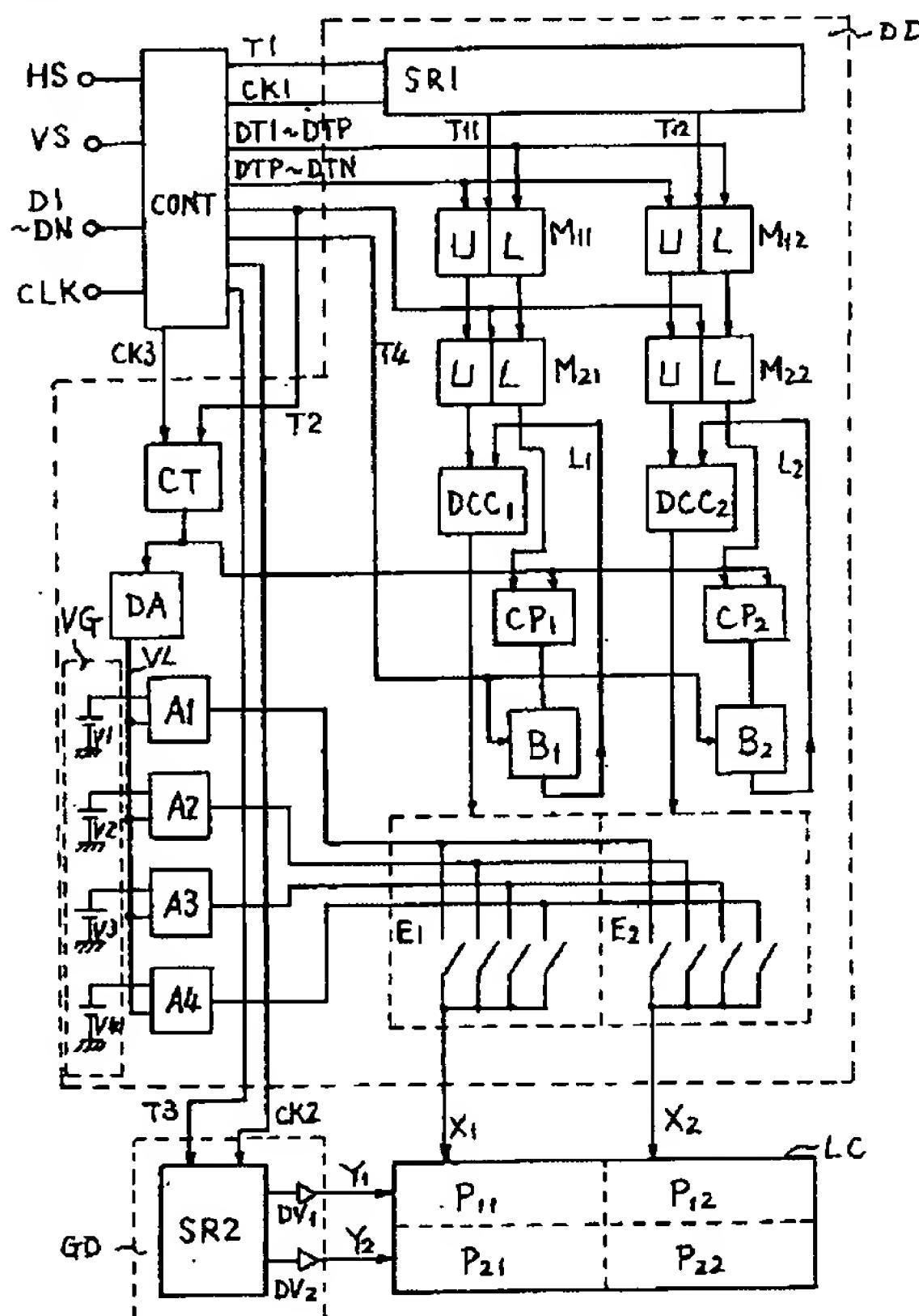
【図6】

アナログ電圧形成方法のさらに他の実施例の説明図



【図7】

本発明の第2実施例に係る多階調液晶表示装置の構成図

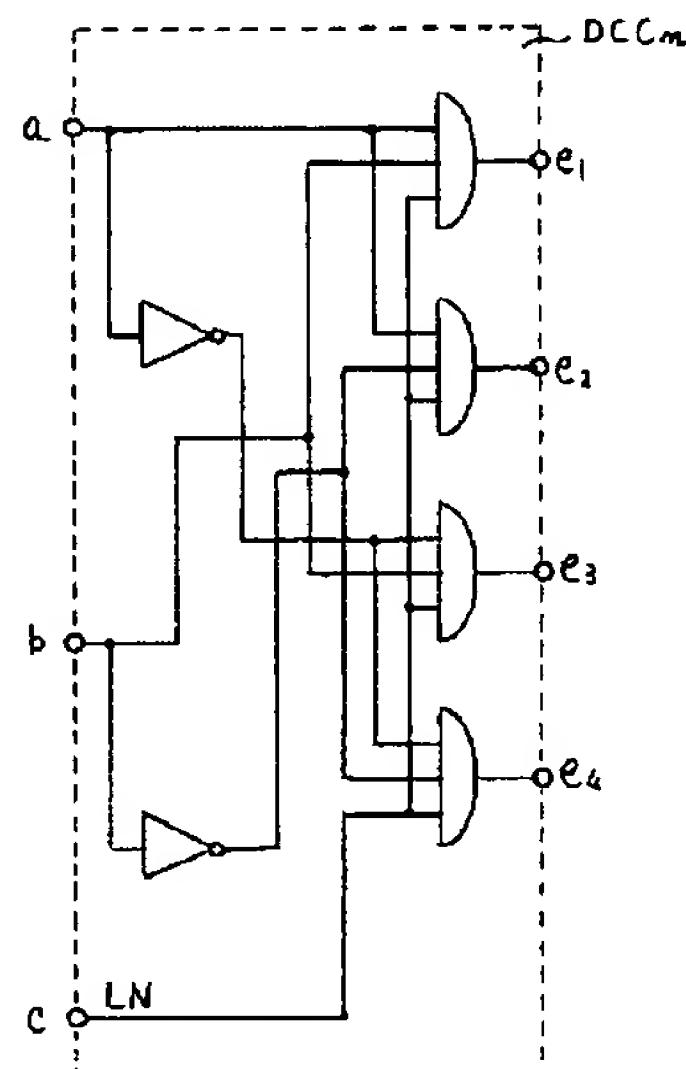


【図10】

図9に示すDCCnの構成例図

【図8】

図7に示すDCCnの構成例図



【図9】

本発明の第3実施例に係る多階調液晶表示装置の構成図

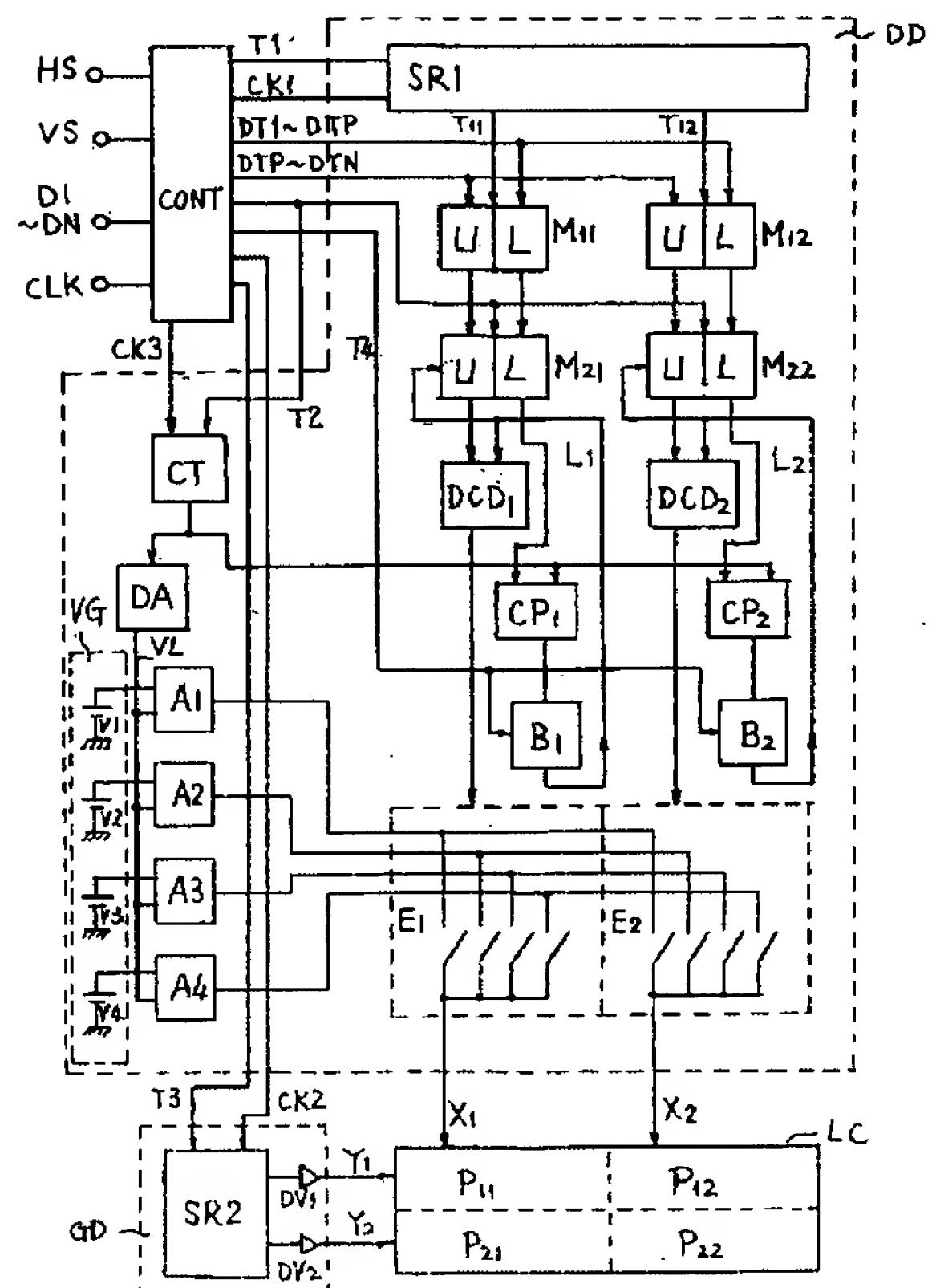
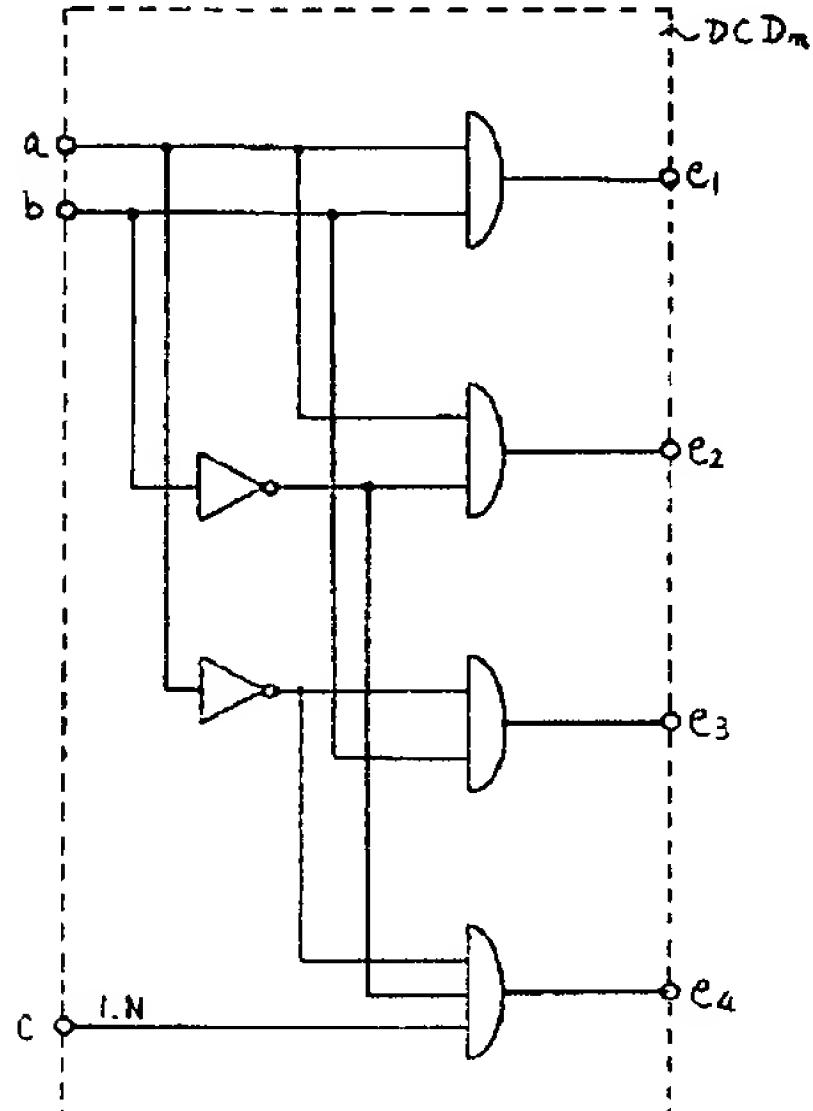
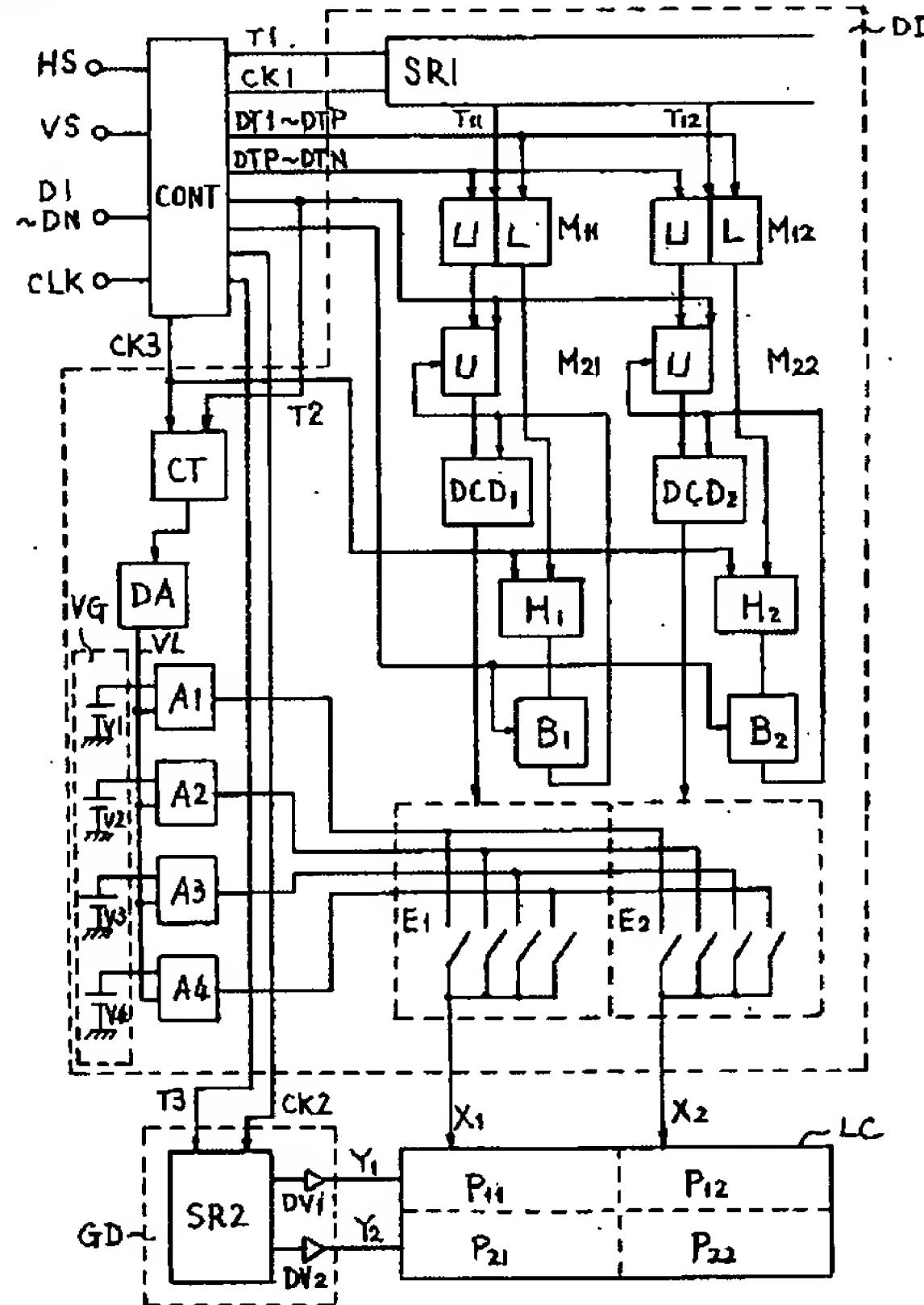


図9に示すDCDnの構成例図



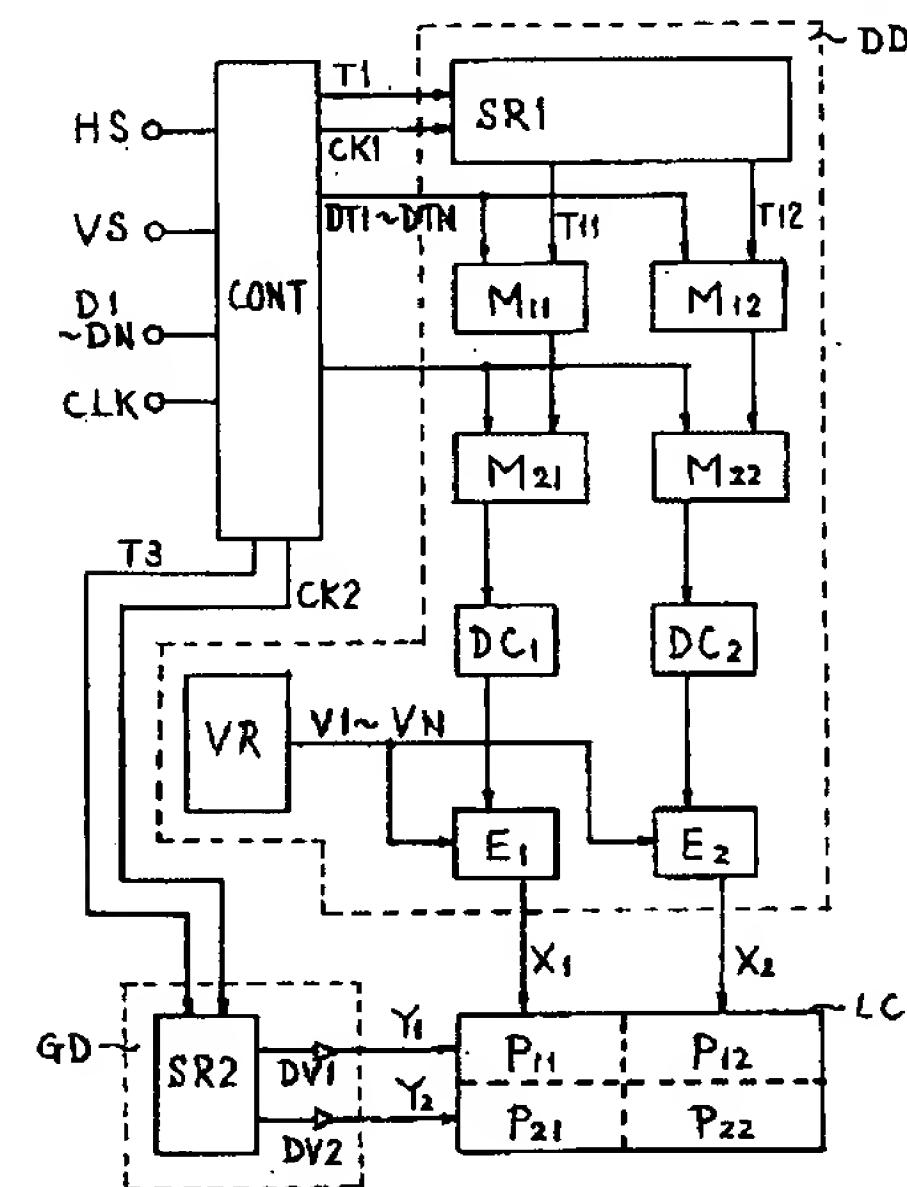
【図11】

本発明の第4実施例に係る多階調液晶表示装置の構成図



【図12】

従来技術に係る多階調液晶表示装置の構成図



【図13】

図12の要部詳細図

